

CHIP-J Semiconductor Study Group イベントレポート

2026 年 7 月 26 日 by T. Debun

イベント概要

日時：2026 年 7 月 24 日（木） 19:00～21:00

場所：Niterra North America（Mountain View, CA）

参加費：無料

今回の勉強会では、2 名による発表が行われました。Katayama さんによる「CPU よもやま話」と、Eric さんによる「チップ開発の民主化」です。発表後にはそれぞれ活発な質疑応答があり、参加者同士の議論も盛り上がりました。

発表 1: CPU よもやま話（Katayama さん）

Katayama さんは長年 CPU の製品定義に携わった経験をもとに、CPU の歴史から最新技術まで幅広い話題を紹介しました。

まず Intel のアリゾナ州オコティヨキャンパスの紹介から始まり、「Tick-Tock」と呼ばれる Intel の製品開発サイクルについて説明しました。Tick で新しいプロセスノードを導入し、Tock で新しいアーキテクチャを導入するというリズムで、PC メーカーが毎年 1 月の CES に合わせて新製品を発表できるよう、9 月末に CPU を出荷するスケジュールが組まれていました。このサイクルは SkyLake まで順調に機能していましたが、10nm への移行で躓き、KabyLake から RocketLake まで 14nm が続くことになりました。

ここで興味深い「幻の CPU」の話が紹介されました。CannonLake は Intel 初の 10nm 製品でしたが、GPU の歩留まりが悪く、GPU を無効にした状態で Apple にのみ出荷されました。Lakefield は ARM の big.LITTLE 方式を参考にしたハイブリッド構成で、Foveros による積層パッケージを採用しましたが、2020 年発売、2021 年終了という短命な製品でした。ただし、ここで導入されたハイブリッド構成や Foveros の技術は AlderLake 以降に引き継がれています。

CPU の進化については、1971 年の Intel 4004（約 2000 トランジスタ）から最新の PantherLake（30 億トランジスタ、5 チップ構成）までの歴史を概観しました。CPU のアイデア自体は日本のビジコンという電卓会社が Intel に提案し、エンジニアも派遣して共同開発したもので、「CPU はほぼ日本発」と言えるという話も披露されました。

GPU については、元来はディスプレイ描画用のプロセッサであり、メディア処理（動画のエンコード/デコード）、レンダリング（4K で 829 万画素の色計算を毎秒 30～120 回）、マルチモニター対応、デジタルサイネージなどが本来の用途であること、そしてなぜ AI に適しているかを解説しました。大量のピクセル計算を並列処理する GPU の特性がディープラーニングの行列計算にぴったり合っていたということです。NVIDIA の SIMT 方式と Intel/AMD の SIMD 方式の違いにも触れました。

AI アクセラレータについては、各クラウドベンダー（Google、AWS、Microsoft、Meta）がそれぞれ独自の NPU を開発している現状、メモリ不足への対策としての HBM（High Bandwidth Memory）、そして将来の Compute-in-Memory（メモリ内演算）やアナログコンピューティングの可能性について紹介しました。

歩留まりとビンニングについては、「歩留まり 85%達成」といったニュース記事の数字が、チップの大きさや製品定義によって全く異なることを指摘しました。実際に定義した AlderLake-N のスキューを例に、高付加価値製品の歩留まりが低い一方、一部の機能を無効にした製品では歩留まりが大幅に向上することを示しました。「歩留まりは製品定義次第」という視点は、製造側とは異なる製品企画ならではの見方でした。

最後にチップレットの話題として、SoC、MCM、MCP、EMIB、CoWoS、Foveros といったパッケージング技術の違いと、複数のチップを組み合わせることで歩留まりとコストを最適化する流れについて説明しました。

発表 1 Q&A ハイライト

Q: Cerebras のような大型ウエハーチップと、今のチップレット方式のパッケージングでは、AI での利用においてどちらが優れているか？

A: 大きなチップは訴求力がある一方、不具合があった場合のビジネスリスクが高い。NVIDIA も将来的にはチップレット化して、複数タイルで同じ機能を実装し仮想シリコンでつなげる方向に進むだろう。

Q: データセンター向け CPU とラップトップ向け CPU で寿命の違いはどう設計に反映されるか？

A: 寿命は特定の IP にシグナルが何回通ったか、使用温度条件などで決まるフェイラーカーブに基づく。周波数を落とせば寿命は延び、上げれば縮む。データセンター向けは 24 時間稼働だがホットスワップ前提のため、製品定義としての寿命はパソコン向けと同程度（約 5 年）。ただしトータルの耐久性要求はデータセンターの方がはるかに高い。

発表 2: チップ開発の民主化（Eric さん）

Eric さんはトロント大学で FPGA の仮想化技術を研究した経歴を持ち、クラウド FPGA と Kubernetes を使ったハードウェア開発の民主化に取り組んでいます。

発表はソフトウェアとハードウェアの開発環境の格差から始まりました。ソフトウェア開発は誰でもでき、コストも安く、数日から数ヶ月で開発可能。一方、ハードウェア開発は数億ドルから 10 億ドル規模の投資が必要で、開発に数年かかり、小学生がチップを設計するなどあり得ない。この格差はソフトウェアが「情報」を扱うのに対し、ハードウェアは「物理的な物質」を製造する必要があるためですが、本当に変えられないのかと問いかけました。

背景として、ポストムーアの法則時代にはアプリケーション＝ソフトウェア＋ハードウェアという考え方が広がっていること、ハイパースケーラー各社が AI チップ、動画トランスコーディング、サイバーセキュリティなど用途特化のチップを自社開発していることを指摘しました。10 年前は CPU だけを求めていたデータセンター事業者が、今は専用ハードウェアを積極的に導入しています。

ソフトウェア開発ではアジャイルや CI/CD により、ユーザーからのフィードバックを素早く取り入れて改善を繰り返すことができます。しかしハードウェア開発では、設計からシリコン完成までの一方通行のプロセスしか考えられておらず、ユーザーフィードバックの仕組みがありません。FPGA 設計に 1 年、ASIC 製造に 2～3 年、インテグレーションにさらに数ヶ月かかると、最初のフィードバックを得るまでに 3～4 年かかってしまいます。

Chiptip Technology のアプローチは、クラウド上の FPGA にハードウェア設計を実装し、Kubernetes で管理することで、小さなイテレーションループを実現するものです。FPGA での

開発サイクルを回して十分なユーザーフィードバックを得た後に、ASIC の製造に進むことで、大きなループ（ASIC 製造サイクル）を何度も繰り返す必要がなくなります。

技術的な差別化として、AWS の FPGA インスタンスでは CPU を経由して PCIe 接続で FPGA にデータを送るのに対し、Chiptip Technology の技術では FPGA をネットワークに直接接続できるため、レイテンシーが約 30 分の 1 になるという利点を説明しました。これにより大規模ハードウェアアプリケーションの開発にも適しています。

今後の計画として、2026 年末に FPGA クラウドサービスを開始予定で、Emotion X（日本のスタートアップ）や QSD（米国のスタートアップ）と提携しています。アプリケーションパートナーとしてサイバーセキュリティや 5G/6G 通信の企業とも連携中です。2028 年には FPGA から ASIC への移行支援サービスも計画しています。

発表 2 Q&A ハイライト

Q: 従来の FPGA ベースのシミュレーション加速サービス（Cadence など）との違いは？

A: 従来のサービスはハードウェアのエミュレーション用で、顧客がアクセスできない。Chiptip のアプローチはクラウドにデプロイすることで実際のユーザーにサービスを公開でき、フィードバックを得られる点が根本的に異なる。

Q: ネットワーク以外の I/O（アナログインターフェースなど）への対応は？

A: 現時点では PCIe とネットワークが主なインターフェース。そのため、サイバーセキュリティや 5G/6G などネットワーク指向のアプリケーションが主要なターゲット。

Q: ビジネスが成功した場合、Google や AWS が同じ市場に参入するリスクは？

A: トロント大学時代（約 10 年前）に FPGA の仮想化に関する基本的な特許を取得しており、これが参入障壁になる。ただし最終的には大手による M&A の可能性も認識している。